

NOTICE TECHNIQUE DU TLC541IN

Le TLC541IN est un convertisseur Analogique/Digital 11 canaux. Le TLC541IN est équivalent aux circuits MC145040 et ADC08011 (compatible pin à pin). Le circuit est constitué d'un convertisseur Analogique/Digital par approximations successives, d'une résolution de 8 bits, associé à un multiplexeur permettant de choisir une entrée parmi 11. La partie logique du circuit est conçue autour d'une interface série, ce qui destine ce circuit à être utilisé conjointement avec un microprocesseur. La **figure 1** indique le brochage du circuit et la **figure 2** indique son schéma synoptique.

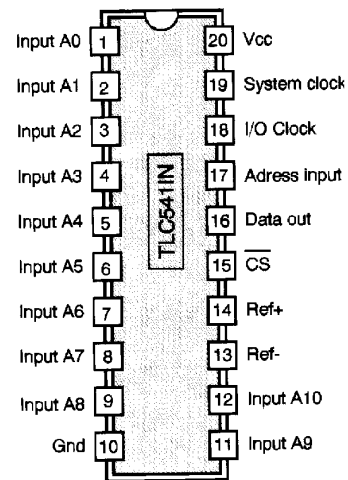
Le circuit nécessite un signal d'horloge cadencé jusqu'à 2,1MHz pour piloter son entrée SYSTEM CLK. Ce signal d'horloge est utilisé par le convertisseur à approximations successives, de sorte que la vitesse de conversion est liée étroitement à la fréquence de ce signal. Le signal SYSTEM CLK peut être complètement asynchrone des autres signaux. Par contre, pour cadencer le dialogue avec un microprocesseur, le circuit utilise un deuxième signal d'horloge : I/O CLOCK. Tous les échanges avec le microprocesseur seront synchrones avec ce signal. Le chronogramme des signaux nécessaires pour dialoguer avec un microprocesseur est indiqué en **figure 3**. Le signal -CS permet de valider la sélection du circuit. Le signal ADRESSE INPUT est utilisé pour le microprocesseur pour transmettre l'adresse du canal à échantillonner tandis que signal DATA OUT trans-

met le résultat de la conversion précédente, comme l'indique la figure 3 (voir A et H).

Légende :

- A : Sélection du canal pour le cycle 1
- B : Acquisition du canal demandé (Sample) pour le cycle 1
- C : Temps de conversion
- D : Sélection du canal pour le cycle 2
- E : Acquisition du canal demandé (Sample) pour le cycle 2
- F : Temps d'accès avant transmission du résultat
- G : Lecture du résultat de la conversion du cycle 0 (cycle précédent, non représenté sur la figure)
- H : Lecture du résultat de la conversion du cycle 1

La **figure 4** met en évidence l'influence de la résistance de sortie R_s du générateur équivalent pour le signal d'entrée, pendant la phase d'échantillonnage. En effet pendant la phase d'échantillonnage l'impédance d'entrée du circuit TLC541IN par rapport à la masse passe d'une résistance parallèle de $5\text{ M}\Omega$ à une résistance de $1\text{ k}\Omega$ en série avec un condensateur de 50 pF . Le comportement de la cellule équivalente est fonction de la constante de temps du circuit RC, cellule où le terme résistif fait intervenir la résistance du générateur d'attaque (R_s). Pendant la phase d'échantillonnage, la tension V_b (tension qui sera convertie par le circuit à la fin de la phase d'échantillonnage) est don-



1 BROCHAGE DU CIRCUIT

née par la formule :

$$V_b = V_{in} \cdot (1 - e^{-t/Req \cdot Ceq})$$

avec $Req = R_s + r_i$

Le but recherché est d'obtenir pour V_b la valeur de V_{in} au moins à $\frac{1}{2}\text{ LSB}$ près, pour minimiser l'erreur due à l'échantillonnage. Le temps d'établissement de V_b à $\frac{1}{2}\text{ LSB}$ près de V_{in} s'obtient à partir de la formule précédente :

$$T_s = (R_s + r_i) \cdot C_i \cdot \ln(512)$$

Il faut donc que le temps T_s soit inférieur au temps d'échantillonnage T_e . Le temps total d'échantillonnage est égal à 4 périodes du signal d'horloge (voir les temps B et E sur la figure 3).

$$\text{Soit } T_e = 4/F_{clk}$$

