



1	BLN	Sortie du signal de suppression de faisceau
2 - 7	YQ (5:0)	Sortie du signal-Y numérique (Index 0 = LSB)
8 - 11	UV (3:0)	Signal de chrominance numérique (format nibble)
12	LL3	Sortie de l'horloge système en verrouillage de ligne (13.5 MHz nom.)
13	V _{SS}	Masse numérique
14	CNEG	Couleur compléetée. En cas de niveau haut les signaux de chrominance sont multipliés par -1 et sortis. En l'air = niveau haut
15	ISC	Entrée pour le signal de chateau de sable synchrone du signal de porte
16	V _{SS0}	Connexion V _{SS} pour l'oscillateur
17	RC	Broche reliée à la connexion du filtre de boucle analogique de la PLL
18	V _{SSA}	Masse analogique
19	V _{IN}	Entrée analogique du signal-V
20	V _{REFH}	Tension de référence basse du convertisseur A/N
21	U _{IN}	Entrée analogique du signal-U
22	V _{REFH}	Tension de référence haute du convertisseur A/N
23	Y _{IN}	Entrée analogique du signal-Y
24	V _{DDA}	Tension d'alimentation analogique de 5 V
25, 26, 27	YD0, YD1, YD2	Pour ajuster le délai-Y absence de connexion = niveau bas
28	V _{DD}	Tension d'alimentation numérique de 5 V

source : Siemens ICs for Consumer Electronics, PIPplus second generation, Picture-in-Picture ICs

Description générale :

Le SDA 9187-2X convertit les signaux analogiques de sortie Y, U et V de n'importe quel décodeur couleur en signaux numériques d'entrée destinés au processeur PIP PLUS SDA 9188-3X. Le circuit intégré comporte un générateur d'horloge synchronisé aux signaux SYNC du canal d'insertion.

L'entrée du canal de l'image à insérer requiert un signal CVBS analogique. Un décodeur analogique de chrominance et un processeur de synchronisation génèrent les signaux analogiques de luminance et de chrominance Y, U et V ainsi que les signaux de synchronisation horizontale et verticale de l'image à insérer.

Des convertisseurs Flash à 6 bit se chargent de la numérisation des signaux Y, U et V et de leur sortie en un format convenable pour l'interface du processeur PIP SDA 9188-3X. Le SDA 9187-2X génère de plus le signal d'horloge à verrouillage de ligne LL3 (13,5 MHz nominale) et le signal de suppression de faisceau BLN.

Caractéristiques générales :

- ▷ 3 convertisseurs A/N distincts
- ▷ résolution de 6 bits
- ▷ taux d'échantillonnage : 13,5 MHz, 3,375 MHz
- ▷ circuit de fixation de niveau (*clamping*) pour les signaux d'entrée
- ▷ délai ajustable (8 pas) pour le signal de luminance
- ▷ possibilité d'inversion des signaux de différence de couleur Y et V
- ▷ synchronisation d'horloge interne par signal de chateau de sable (*sandcastle*)
- ▷ génération du signal d'horloge système pour le processeur d'insertion d'image

Structure interne

